

DIALOG(R)File 347: JAPIO  
(c) 2009 JPO & JAPIO. All rights reserved.

03544079 \*\*Image available\*\*

## **MANUFACTURING APPARATUS FOR SEMICONDUCTOR**

**Pub. No.:** 03-206979 [JP 3206979 A]

**Published:** September 10, 1991 (19910910)

**Inventor:** KATO TETSUO

**Applicant:** MITSUBISHI ELECTRIC CORP [000601] (A Japanese Company or Corporation), JP (Japan)

**Application No.:** 02-002804 [JP 902804]

**Filed:** January 09, 1990 (19900109)

**International Class:** [ 5 ] G01R-031/26; G11C-029/00

**JAPIO Class:** 46.1 (INSTRUMENTATION -- Measurement); 42.2 (ELECTRONICS -- Solid State Components); 45.2 (INFORMATION PROCESSING -- Memory Units)

**Journal:** Section: P, Section No. 1284, Vol. 15, No. 480, Pg. 106, December 05, 1991 (19911205)

### **ABSTRACT**

**PURPOSE:** To shorten measuring time by altering a sequence of measurement when counters for the number of deficiencies in measuring items are judged to reach fixed values.

**CONSTITUTION:** First, the number of deficiencies in a test item A measured by a measuring means 3 is counted with a counter 11 and a judging means 21 judges whether counts thereof reach a fixed value or not. When the counts reach the fixed value, the test item A is put first in the sequence of measurement and subsequently, the counter 11 is cleared. Then, when counts of a counter 12 are decided to reach a certain value, an alteration 22 is made to put a test item B first in the sequence of measurement. Thereafter, counts of counters 13 and 14 are judged for test items sequentially. Thus, the test items indicating a higher deficiency rate are put first in the sequence of measurement thereby enabling the shortening of measuring time.

⑫ 公開特許公報(A) 平3-206979

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)9月10日

G 01 R 31/26  
G 11 C 29/00

3 0 3 Z  
A

8203-2G  
7737-5B

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体製造装置

⑯ 特 願 平2-2804

⑰ 出 願 平2(1990)1月9日

⑱ 発 明 者 加 藤 哲 夫 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体製造装置

2. 特許請求の範囲

半導体素子を測定するテスター、このテスターによって測定する測定手段、この測定手段によって測定される各測定項目の不良数を数えるカウンター、このカウンターが一定数に達したか否かを判定する判定手段、この判定手段が一定数に達したと判定すると測定順序を変更する変更手段を備えたことを特徴とする半導体製造装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は半導体製造装置、特に半導体記憶素子を測定するテスターに関するものである。

(従来の技術)

ICは集積度の増加と共にその測定時間も大幅に増大してきた。

第3図は従来の半導体製造装置に使用されるテスターの測定順序を示すフローチャートを示す。ス

テップ1はテストA、ステップ2はテストB、ステップ3はテストC・・・ステップnはテストXで、テストA、B、C・・・Xはそれぞれの測定項目である。

従来、測定項目A、B、C・・・Xおよびその測定順序は予め決められており、特に測定順序は各測定項目の不良率に拘らず不変である。

(発明が解決しようとする課題)

従来の測定項目、測定順序は以上のように構成されていたので、不良率の高い測定項目が、測定順序の最後となつたフローチャートのテストXであったとしたら、無駄な測定時間を費やすという問題点があった。

この発明は上記のような問題点を解消するためになされたもので、不良品に対する測定時間を短縮することを目的とする。

(課題を解決するための手段)

この発明に係る半導体製造装置は、測定項目の不良数をカウントするカウンターと、このカウンターが一定数に達したか否かを判定する判定手段

と、この判定手段が一定数に達したと判定すると測定順序を変更する変更手段とを設けたものである。

(作用)

この発明における判定手段は、カウンターの値がある一定数に達したら測定順序を変更する。

(実施例)

以下、この発明の一実施例を図について説明する。

第1図はこの発明の一実施例を示す半導体製造装置のブロック図である。図において、(11)～(14)はカウンターA～D、(2)はカウンター(11)～(14)の数を入力とする制御回路で、カウンター(11)～(14)が一定数に達したか否かを判定する判定手段(21)及びこの判定手段(21)が一定数に達したと判定すると、測定手段(3)を変更する変更手段(22)により構成され、測定手段の制御を行うものである。

次に動作について説明する。

測定手段(3)は制御回路(2)により第2図のフ

ローチャートに示す如く制御がなされる。図において、スタートするとステップ2AでカウンターAが一定数に達したかどうかを判断する。一定数に達したならステップ2Bへ進む。

ステップ2Bではテスト項目Aを測定順序の最初にするようにし、引き続きステップ(2C)でカウンターAをクリアする。以下、順に各テスト項目で、カウンターを判断する。

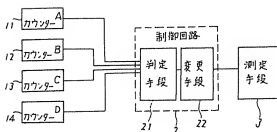
(発明の効果)

以上のようにこの発明によれば、不良率の高い測定項目を測定順序の最初に持つていくことにより測定時間を短縮できる。

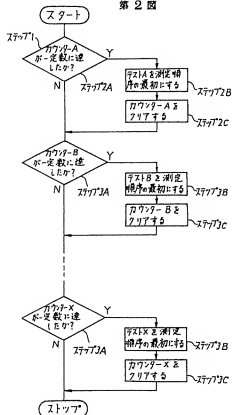
#### 4. 図面の簡単な説明

第1図はこの発明の一実施例を示す半導体製造装置のブロック図、第2図は第1図の制御回路の動作を示すフローチャート、第3図は従来の半導体製造装置の測定方法を示すフローチャートである。図において(11)～(14)はカウンター、(2)は制御回路、(21)は判定手段、(22)は変更手段、(3)は測定手段を示す。

第1図



第2図



第 3 図

